

Du Silicium au circuit intégré



Composante
École Nationale
Supérieure
d'Électrotechnique
d'Électronique
d'Informatique
d'Hydraulique
et des
Télécommunications

En bref

> **Code:** N8EE12A

Présentation

Objectifs

Conception, Fabrication et Caractérisation d'un amplificateur opérationnel CMOS à 2 étages en technologie 0.6 μm .

Description

L'objectif de cette formation est de proposer un module complet allant de la modélisation d'une technologie CMOS 6 μm jusqu'au test d'un circuit analogique fabriqué en salle blanche, après une étape de conception, simulation. En s'appuyant sur les méthodes d'Apprentissage Par Projet (APP) et de pédagogies actives, cette formation favorise l'apprentissage des outils et des méthodes de conception des circuits CMOS autour de la conception et de la réalisation concrète d'un amplificateur CMOS à 2 étages répondant à un cahier des charges précis. Tout au long de ce projet d'une durée totale de 10 journées, les étudiants organisés en groupe de 4 devront analyser et confronter leurs résultats de mesures à leur étude théorique et simulée tant pour la partie technologique (caractérisation des capacités MOS, diodes, transistors MOS) que pour la partie circuit (bande passante, gain, slew rate, offset, consommation, plage d'entrée, de sortie)

Pré-requis obligatoires

Montages amplificateurs à transistors

Physique du semi-conducteur et jonction PN