

Vérification formelle



Composante
École Nationale
Supérieure
d'Électrotechnique
d'Électronique
d'Informatique
d'Hydraulique
et des
Télécommunications

En bref

> **Code:** N9EE05B

Présentation

Objectifs

- Comprendre la nécessité de la vérification/validation d'un système microélectronique
- Connaître les différentes techniques qui peuvent être mises en jeu dans la vérification de CI
- Développer un testbench efficace permettant une couverture de code de 100%
- Utiliser les assertions pour debugger différentes fonctions VHDL

Utiliser les outils de couverture fonctionnelle de circuits de ModelSim

Description

- Dans ce cours est décrite l'une des phases les plus importantes dans le processus de création d'un circuit intégré : la vérification. Les différentes méthodes de vérification sont définies (simulation vs formelle). Les difficultés de cet exercice et les solutions pour y pallier sont ensuite détaillées. L'accent est enfin porté sur la vérification formelle plus spécifiquement, et sont présentés son grand potentiel, ses techniques et ses écueils.

Pré-requis obligatoires

- Conception de systèmes logiques (UE N5EE03)
- Electronique numérique (UE N7EE08)
- Conception synchrone des systèmes numériques (N8EE03A)
- Technologie FPGA (N8EE03C)